

Requested Patent: JP10208940A
Title: INDUCTOR ELEMENT ;
Abstracted Patent: JP10208940 ;
Publication Date: 1998-08-07 ;
Inventor(s): IKEDA TAKESHI;; OKAMOTO AKIRA ;
Applicant(s): T I F:KK ;
Application Number: JP19970025904 19970126 ;
Priority Number(s): ;
IPC Classification: H01F17/00; H01L27/04; H01L21/822 ;
Equivalents: ;

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an inductor element capable of reducing eddy currents and parasitic capacitance.
SOLUTION: This inductor element is formed, including a spiral-form floating conductor 2 formed on a board 3 and an inductor conductor 1 counterposed on the top surface of the conductor 2 via an insulation layer. A predetermined voltage is applied across the inductor conductor 1, and the floating conductor 2 is brought into a floating state. In this way, since the floating conductor 2 is interposed between the inductor conductor 1 and the board 3, the eddy current generated on the surface of the board 3 and the stray capacitance generated between the board 3 and the inductor conductor 1 can be reduced.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-208940

(43)公開日 平成10年(1998)8月7日

(51)Int.Cl.
H 01 F 17/00
H 01 L 27/04
21/822

識別記号

F I
H 01 F 17/00
H 01 L 27/04

B
L

審査請求 未請求 請求項の数6 FD (全7頁)

(21)出願番号 特願平9-25904

(22)出願日 平成9年(1997)1月26日

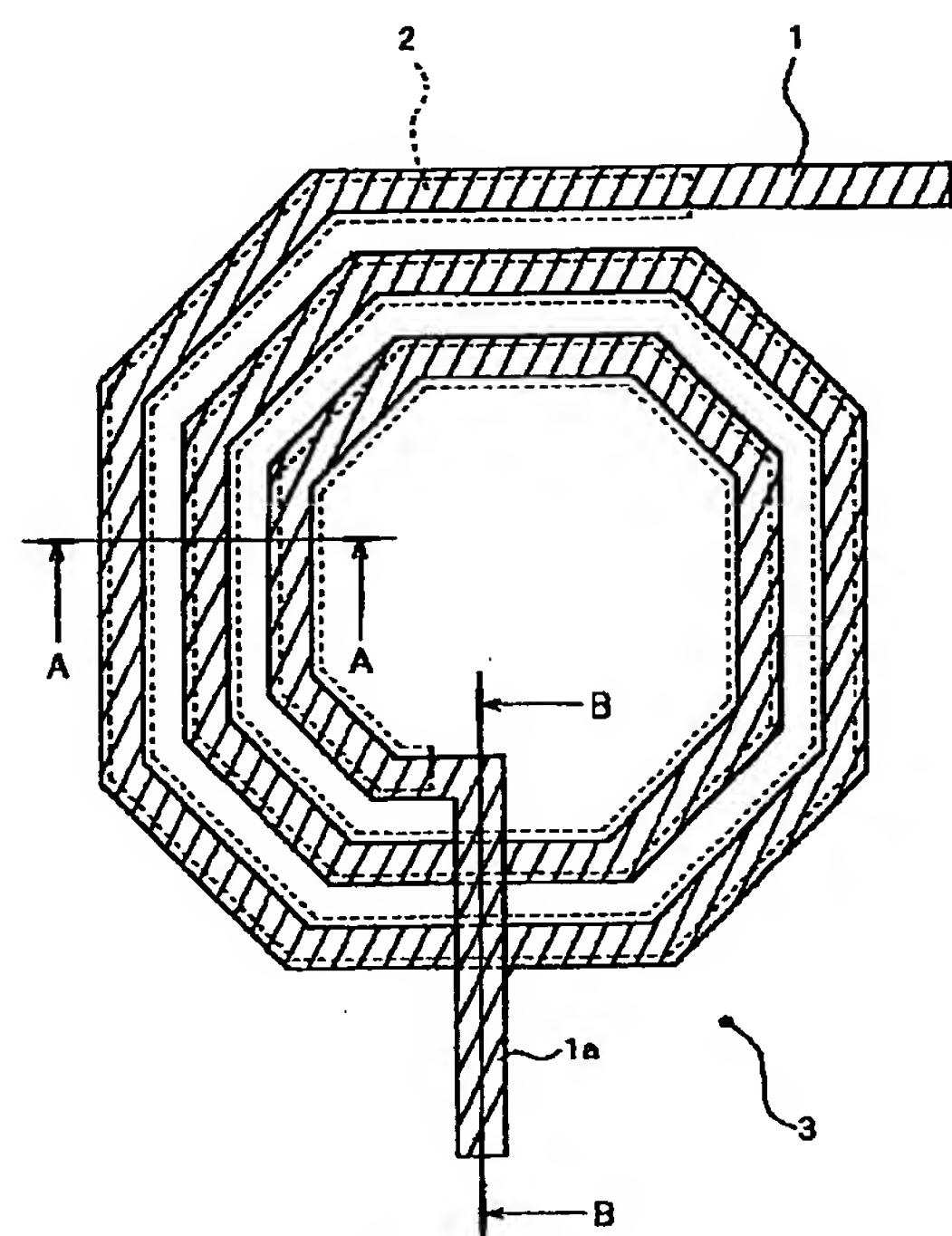
(71)出願人 593119169
株式会社ティ・アイ・エフ
東京都大田区山王二丁目5番6-213号
(72)発明者 池田 翼
東京都大田区山王2丁目5番6-213
(72)発明者 岡本 明
埼玉県上尾市緑丘4丁目7-17
(74)代理人 弁理士 雨貝 正彦

(54)【発明の名称】 インダクタ素子

(57)【要約】

【課題】 湧電流と寄生容量の発生を低減できるインダクタ素子を提供する。

【解決手段】 本発明のインダクタ素子は、基板3上に形成された渦巻き形状のフローティング導体2と、その上面に絶縁層5を介して対向配置されるインダクタ導体1とを含んで構成される。インダクタ導体1には所定の電圧が印加され、フローティング導体2はフローティング状態にされる。このように、インダクタ導体1と基板3との間にフローティング導体2を介在させるため、基板表面に発生される渢電流や、基板3とインダクタ導体1との間に発生される浮遊容量を低減することができる。



【特許請求の範囲】

【請求項1】 基板上に形成される渦巻き形状のインダクタ導体と、

前記インダクタ導体と略同一の形状を有し、前記インダクタ導体の下面側に絶縁層を介して対向配置され、フローティング構造で形成されるフローティング導体とを備えることを特徴とするインダクタ素子。

【請求項2】 基板上に形成される渦巻き形状のインダクタ導体と、

前記インダクタ導体の下面側に絶縁層を介して形成され、少なくとも一部分が前記インダクタ導体と対向配置され、フローティング構造で形成されるフローティング導体とを備えることを特徴とするインダクタ素子。

【請求項3】 請求項1または2において、

前記フローティング導体は、所定形状の溝によって複数の領域に分割されることを特徴とするインダクタ素子。

【請求項4】 請求項3において、

一端が前記インダクタ導体に接続される電極引き出し部を備え、
前記インダクタ導体、前記フローティング導体および前記電極引き出し部が前記基板上に2層で形成されるように、前記電極引き出し部あるいは前記インダクタ導体の一部を前記溝の内部に形成することを特徴とするインダクタ素子。

【請求項5】 請求項1または2において、

基板上に形成される渦巻き形状のインダクタ導体と、
前記インダクタ導体の下面側に絶縁層を介して形成され、少なくとも一部分が前記インダクタ導体と対向配置され、フローティング構造で形成されるフローティング導体と、

前記フローティング導体と分離して形成され、前記インダクタ導体に導通される電極引き出し部とを備えることを特徴とするインダクタ素子。

【請求項6】 請求項1～4のいずれかにおいて、

前記インダクタ導体および前記フローティング導体の少なくとも一方は、各周回部分が八角に折れ曲がった渦巻き形状で形成されることを特徴とするインダクタ素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、渦巻き形状のパターンを用いて形成されるインダクタ素子に関する。

【0002】

【従来の技術および発明が解決しようとする課題】半導体基板上に薄膜形成技術を利用して渦巻き形状のパターンを形成し、このパターンをインダクタ素子として利用する半導体回路が知られている。

【0003】図11はこの種のインダクタ素子から発生される磁束を説明する図である。同図に示す渦巻き形状のインダクタ素子101に所定の電流が流れると、同図の矢印で示すように半導体基板102の表面に垂直な方

向、すなわち半導体基板102を貫通する方向に磁束が発生する。この方向の磁束は、渦電流や浮遊容量の発生原因となり、半導体基板102上に形成された他の半導体素子の動作に悪影響を与えるおそれがある。

【0004】本発明は、このような点に鑑みて創作されたものであり、その目的は渦電流と浮遊容量の発生を従来よりも低減することができるインダクタ素子を提供することにある。

【0005】

【課題を解決するための手段】上述した課題を解決するために、請求項1のインダクタ素子は、略同一形状のインダクタ導体とフローティング導体を絶縁層を挟んで基板上に形成し、フローティング導体をフローティング構造にする。すなわち、インダクタ導体と基板との間にフローティング導体を介在させることにより、基板表面に発生される渦電流や、インダクタ導体と基板表面との間に発生される浮遊容量を低減することができる。

【0006】請求項2のインダクタ素子は、フローティング導体の少なくとも一部分をインダクタ導体に対向配置する。この場合も、渦電流や浮遊容量の発生が低減される。

【0007】請求項3のインダクタ素子は、フローティング導体を分割構造にする。

【0008】請求項4のインダクタ素子は、フローティング導体を分割する溝を設け、この溝の内部に電極引き出し部を形成し、この電極引き出し部をインダクタ導体と導通させる。これにより、インダクタ素子は2層メタル構造になる。

【0009】請求項5のインダクタ素子は、インダクタ導体とフローティング導体を絶縁層を挟んで基板上に形成し、インダクタ導体に導通される電極引き出し部をフローティング導体と分離して形成する。これにより、インダクタ素子は3層メタル構造になる。

【0010】請求項6のインダクタ素子は、インダクタ導体とフローティング導体の少なくとも一方の形状を渦巻き形状にし、かつ渦巻きの各周回部分を八角に折り曲げる。八角に折り曲げることによりマスクの製造が容易になる。

【0011】

【発明の実施の形態】以下、本発明を適用したインダクタ素子について、図面を参照しながら具体的に説明する。

【0012】【第1の実施形態】図1は基板上に形成された本実施形態のインダクタ素子の概略を示す平面図、図2はインダクタ素子の構造を簡略化して示した図である。本実施形態のインダクタ素子は、ほぼ同一形状のインダクタ導体1とフローティング導体2とを、後述する絶縁層の上下両面に対向配置した構造を有している。図1では、実線で示すインダクタ導体1と点線で示すフローティング導体2をずらして図示しているが、

実際にはインダクタ導体1とフローティング導体2は図2に示すように重なるように形成されている。

【0013】インダクタ導体1の両端には、基板3上に形成された不図示の半導体回路が接続され、この半導体回路の作用によりインダクタ導体1に所定の電流が流れ、一方、フローティング導体2は、インダクタ導体1等の電圧変化の影響を受けないようにフローティング構造で形成されている。

【0014】インダクタ導体1とフローティング導体2はいずれも渦巻き形状で形成され、渦巻きの各周回部分は八角に折り曲げられている。このように、インダクタ導体1やフローティング導体2の形状を八角形にする理由は、八角以上の多角形や円形にする場合に比べてマスクの製造が容易なためであり、一方、八角未満の多角形にすると、インダクタ素子の電気的特性が悪くなるためである。

【0015】基板3には、例えばn型シリコン基板(n-Si基板)やその他の半導体基板(例えばゲルマニウムやアモルファスシリコン等の非晶質材料)が用いられる。あるいは、エポキシ等を材料とするプリント配線板を基板3として用いてもよい。また、インダクタ導体1は、アルミニウムや金等の金属薄膜、あるいはポリシリコン等の半導体材料で形成されている。

【0016】なお、基板3上には、インダクタ素子の他に、トランジスタ・ダイオード等の能動素子や、抵抗・コンデンサ等の受動素子が実装されるが、図1では、説明を簡単にするためにインダクタ素子のみを示している。

【0017】図3は図1のA-A線の拡大断面図である。同図に示すように、基板3の表面に絶縁性の非磁性体膜4が形成され、その上面の一部に渦巻き状のフローティング導体2が形成される。また、非磁性体膜4とフローティング導体2の上面に絶縁層5が形成され、その上面には渦巻き状のインダクタ導体1が形成される。

【0018】一方、図4(a)は図1のB-B線の拡大断面図である。同図に示すように、インダクタ導体1の下面側の構造は図3と共通する。インダクタ導体1の一端には電極引き出し部1aが接続されており、この電極引き出し部1aは絶縁層6を挟んでインダクタ導体1の上面に形成されている。この電極引き出し部1aは不図示の他の半導体回路に接続される。

【0019】このように、図1に示すインダクタ素子は、絶縁層5の上下両面に渦巻き形状のインダクタ導体1とフローティング導体2を対向配置した構造になっており、インダクタ導体1と基板3とが間隔を隔てて形成されるため、基板表面に発生される渦電流や、基板表面との間に発生される浮遊容量を低減できる。

【0020】なお、図1では、渦巻き形状のフローティング導体2を基板3上に形成する例を説明したが、図5に示すように複数に分割された構造のフローティング導

体2'を基板3上に形成してもよい。

【0021】また、図1では渦巻きの周回数が3の例を示しているが、周回数は3に限定されず、図6(a)に示すようにほぼ1周でもよく、あるいは図6(b)に示すように1周未満でもよい。さらに、インダクタ導体1やフローティング導体2を構成する渦巻きパターンのパターン幅やパターン間隔は同じである必要はなく、パターン幅やパターン間隔がインダクタ導体1とフローティング導体2とで異なっていてもよい。

【0022】〔第2の実施形態〕第1の実施形態のインダクタ素子は、場所によって3層メタル構造になるのに対し、以下に説明する第2の実施形態のインダクタ素子は2層メタル構造のみで形成される点に特徴がある。

【0023】図7は第2の実施形態のインダクタ素子の概略を示す平面図である。同図に示すように、第2の実施形態のインダクタ素子は、いずれも渦巻き形状のインダクタ導体11とフローティング導体12とで構成され、フローティング導体12は、渦巻きの中心から外縁に欠けて延びる溝Pによって複数の領域に分割されている。

【0024】図8(a)は図7のB'-B'線の拡大断面図、図8(b)は図7のC-C線の拡大断面図である。これらの図に示すように、インダクタ導体11の一端に接続された電極引き出し部11aの一部はフローティング導体12の溝Pの内部に形成されている。すなわち、電極引き出し部11aとフローティング導体12とを基板3上の同一高さに形成することにより、インダクタ素子の全体を2層メタル構造にすることができ、製造工程の簡略化が図れる。

【0025】一方、図9は第2の実施形態の変形例を示す図であり、図9(a)はインダクタ素子の概略を示す平面図、図9(b)は図9(a)のD-D線の拡大断面図である。図9(b)に示すようにインダクタ導体11'の一部は溝Pの内部に形成されており、溝Pの上方に電極引き出し部11'aが形成されている。この電極引き出し部11'aは、インダクタ導体11'と同じ高さに形成されているため、インダクタ素子の全体を2層メタル構造にすることができる。

【0026】〔第3の実施形態〕第1の実施形態では、絶縁層5の上面側のインダクタ導体1と下面側のインダクタ導体2とをほぼ同一形状にしているが、これらインダクタ導体の全長にわたって形状が同一である必要はなく、一部だけが一致していてもよい。

【0027】図10は第3の実施形態のインダクタ素子の概略を示す平面図である。同図において、実線は絶縁層5の上面側に形成されたインダクタ導体21、点線は絶縁層5の下面側に形成されたフローティング導体22をそれぞれ表している。同図に示すように、フローティング導体22は、インダクタ導体21の一部と同じ形状をしており、これら形状が同じ部分は絶縁層5を挟んで

対向する位置に形成されている。

【0028】このように、インダクタ導体21とフローティング導体22の一部の形状だけが同一であっても部分的な2層構造となるため、第1の実施形態と同様に、渦電流と浮遊容量の発生を低減することができる。

【0029】

【発明の効果】以上詳細に説明したように、本発明によれば、同一形状のインダクタ導体とフローティング導体を絶縁層を挟んで対向配置した2層構造にするため、インダクタ導体が基板から間隔を隔てて形成され、基板表面に発生される渦電流や、インダクタ導体と基板表面との間に発生される浮遊容量を低減することができる。

【図面の簡単な説明】

【図1】基板上に形成されたインダクタ素子の概略を示す平面図である。

【図2】インダクタ素子の構造を簡略化して示した図である。

【図3】図1のA-A線の拡大断面図である。

【図4】図1のB-B線の拡大断面図である。

【図5】複数に分割された構造のフローティング導体を

有するインダクタ素子の概略を示す平面図である。

【図6】(a)は渦巻きの周回数がほぼ1周の例を示す図、(b)は1周未満の例を示す図である。

【図7】第2の実施形態のインダクタ素子の概略を示す平面図である。

【図8】(a)は図7のB'-B'線の拡大断面図、(b)は図7のC-C線の拡大断面図である。

【図9】第2の実施形態の変形例を示す図で、(a)はインダクタ素子の概略を示す平面図、(b)は(a)のD-D線の拡大断面図である。

【図10】第3の実施形態のインダクタ素子の概略を示す平面図である。

【図11】インダクタ素子から発生される磁束を説明する図である。

【符号の説明】

1 インダクタ導体

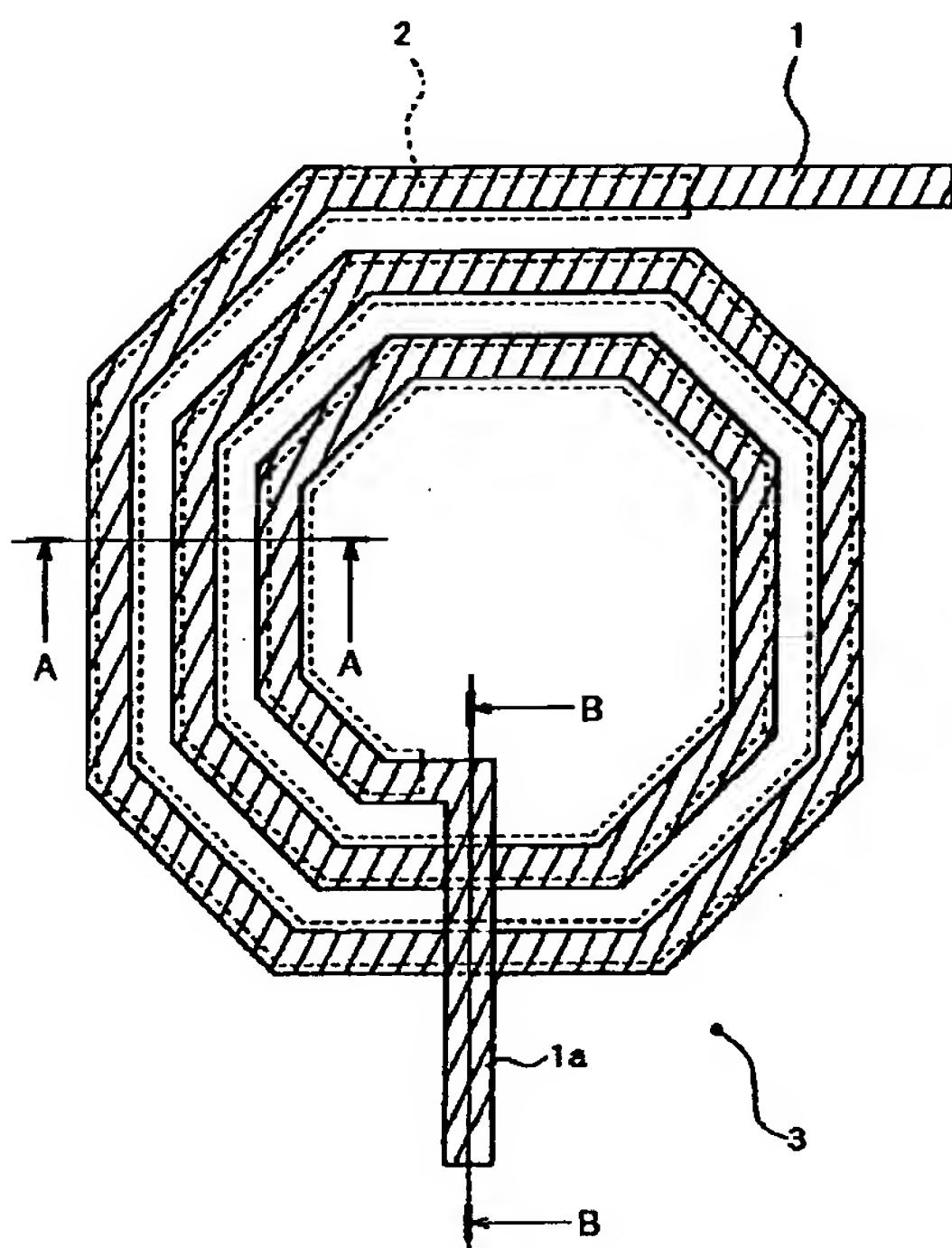
2 フローティング導体

3 基板

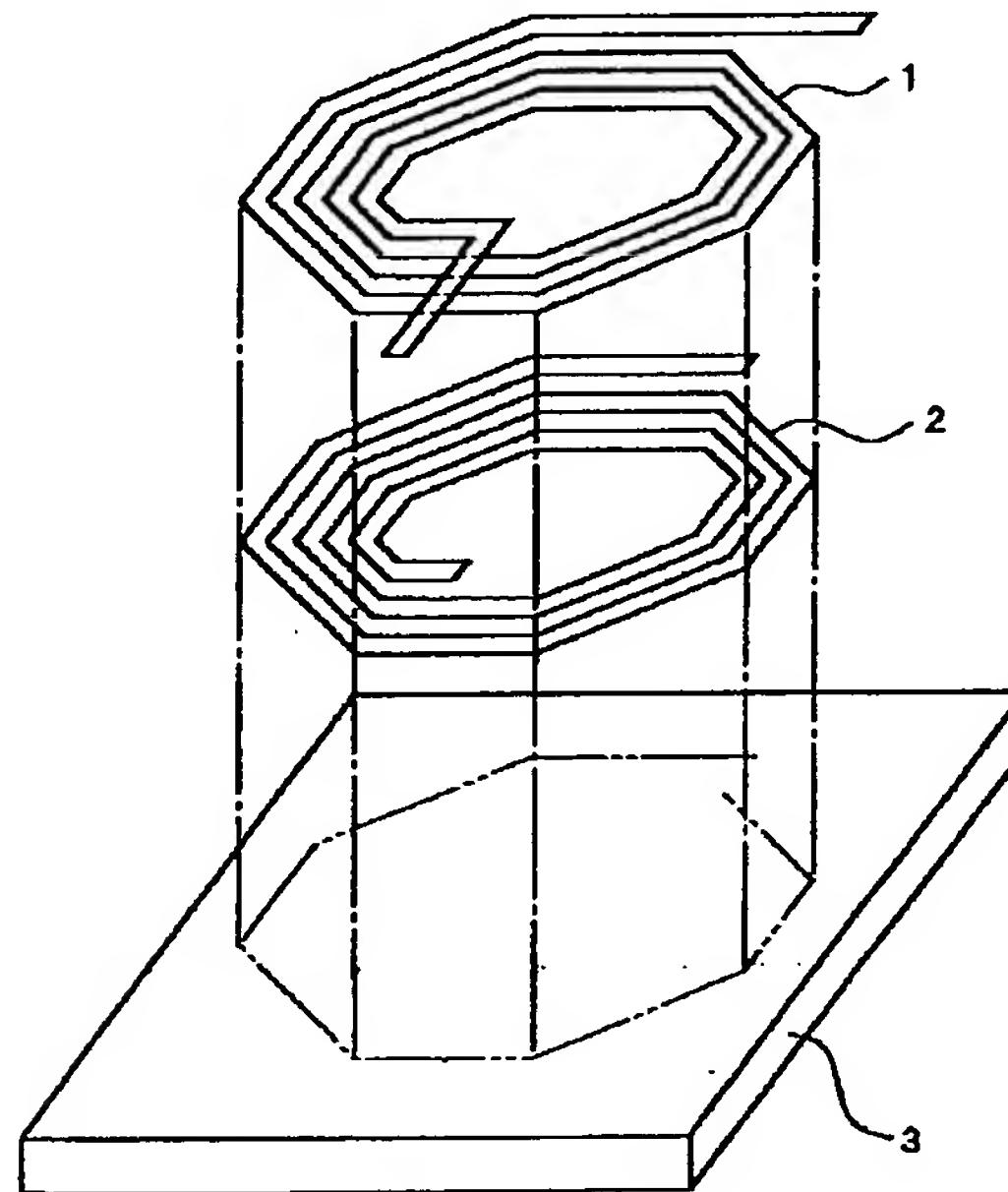
4 非磁性体膜

5、6 絶縁層

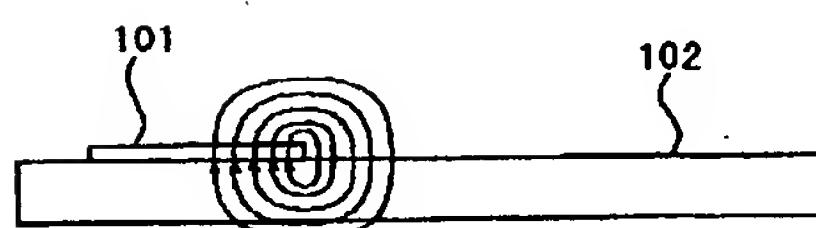
【図1】



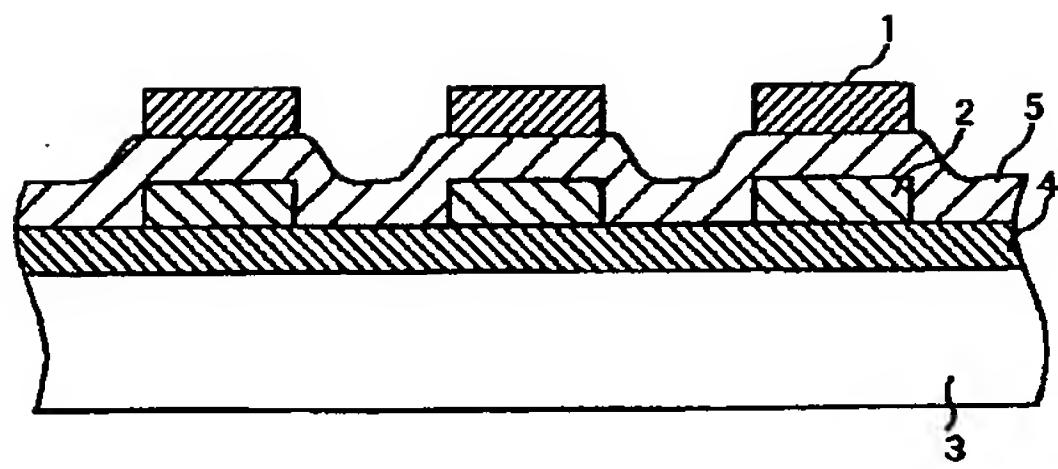
【図2】



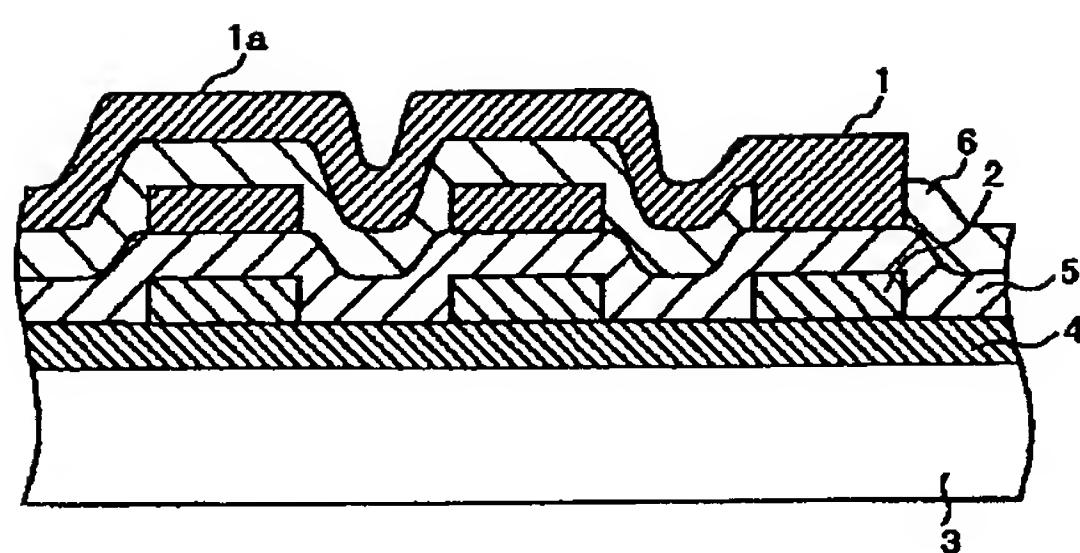
【図11】



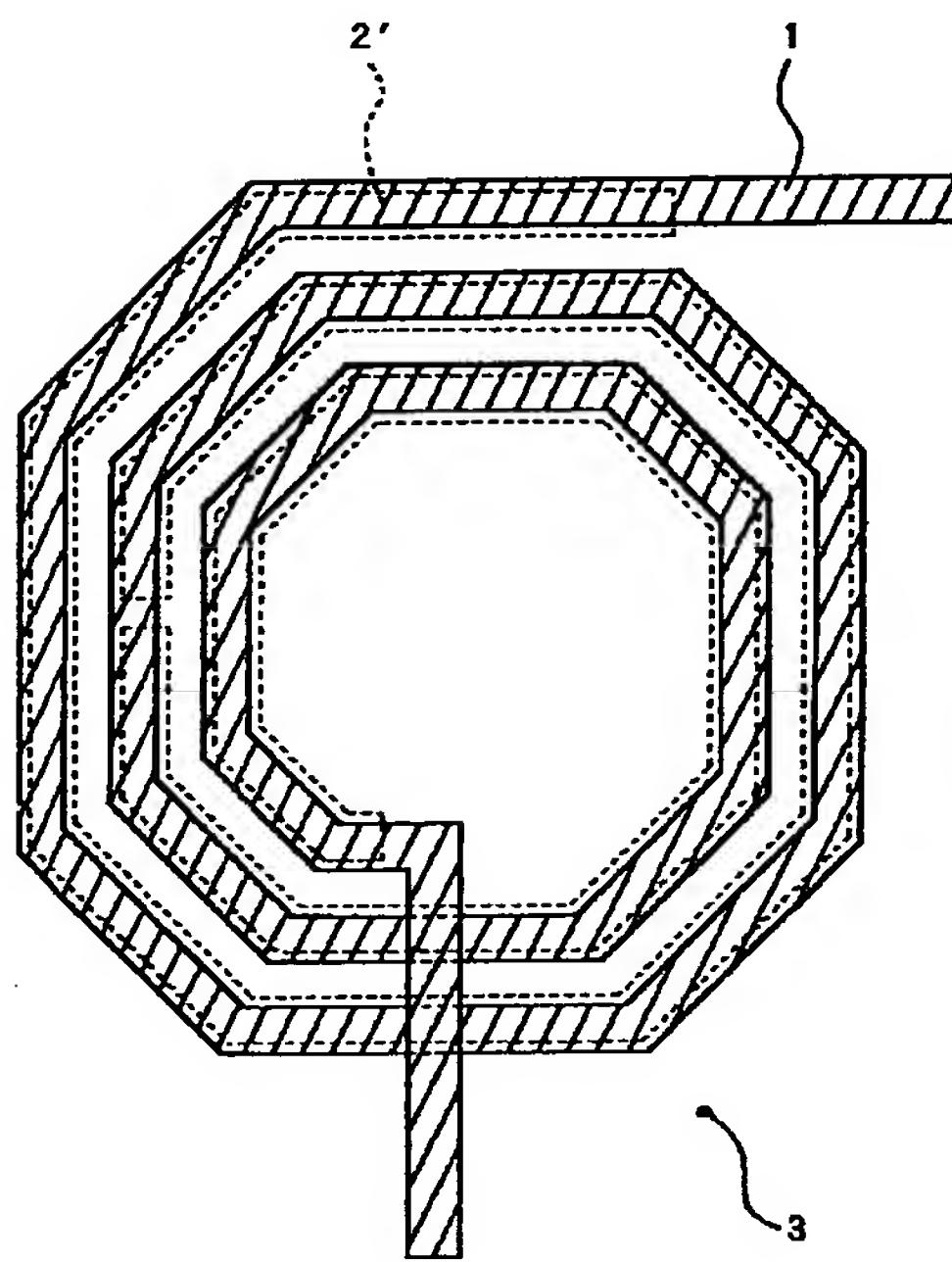
【図3】



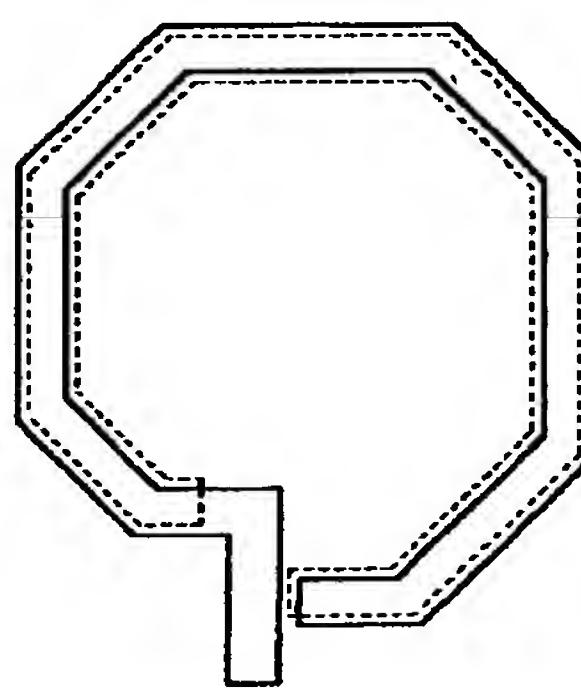
【図4】



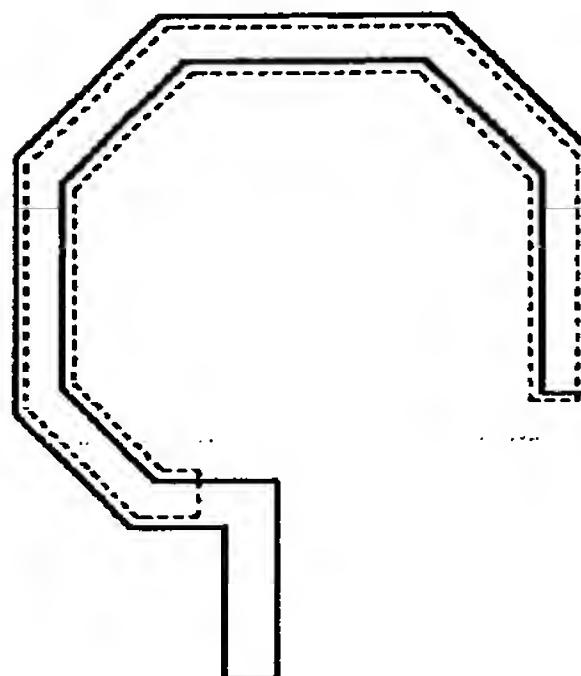
【図5】



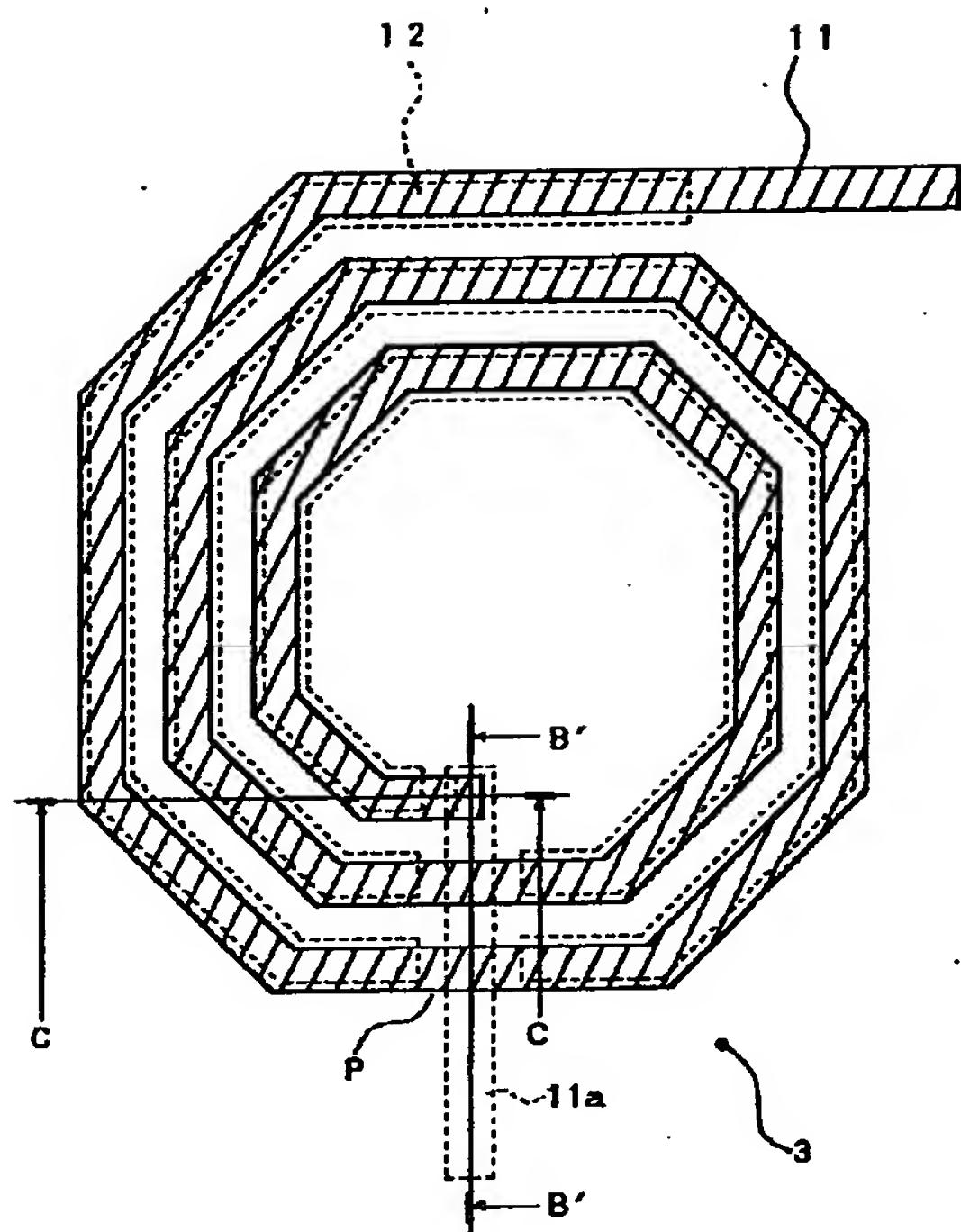
(a)



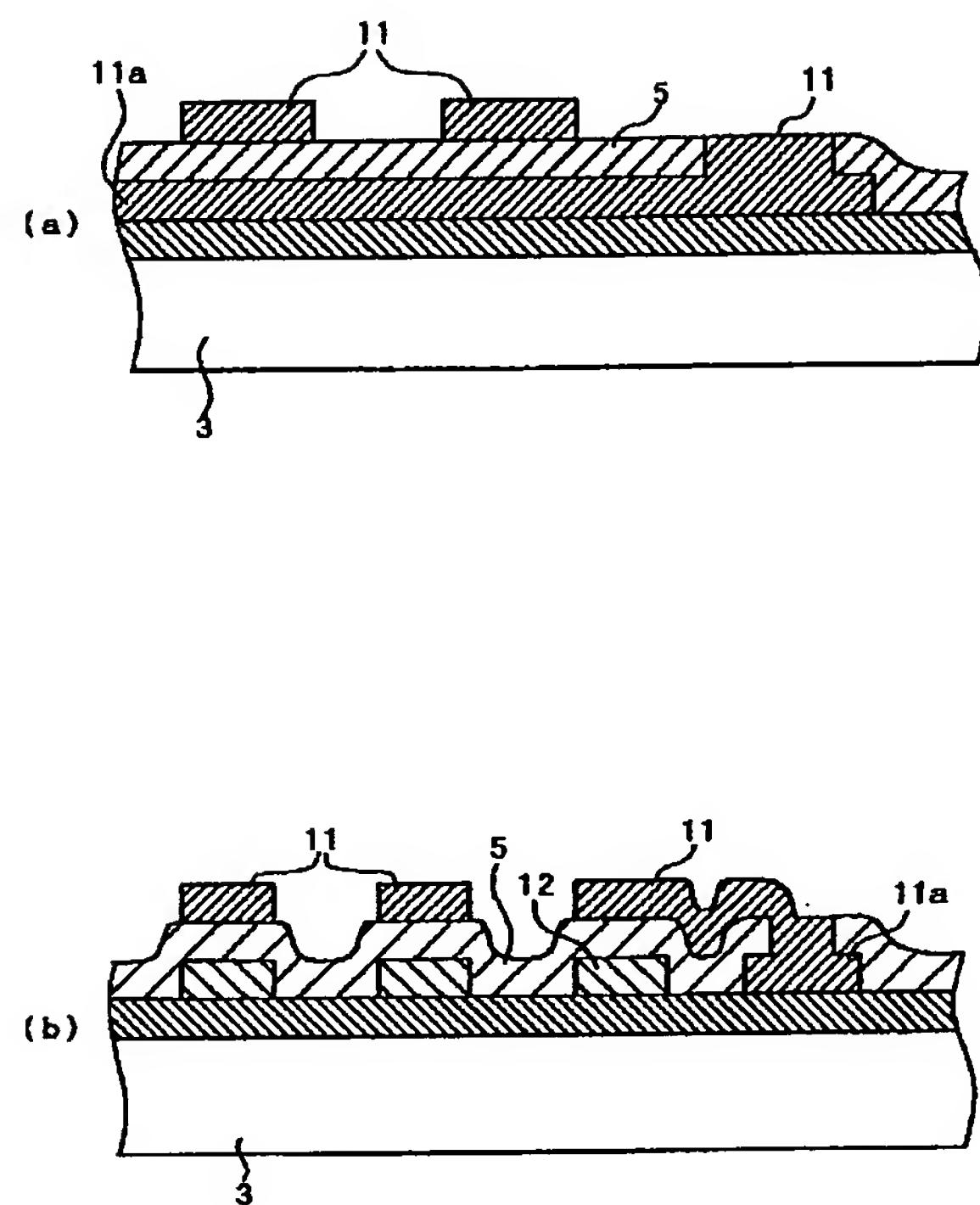
(b)



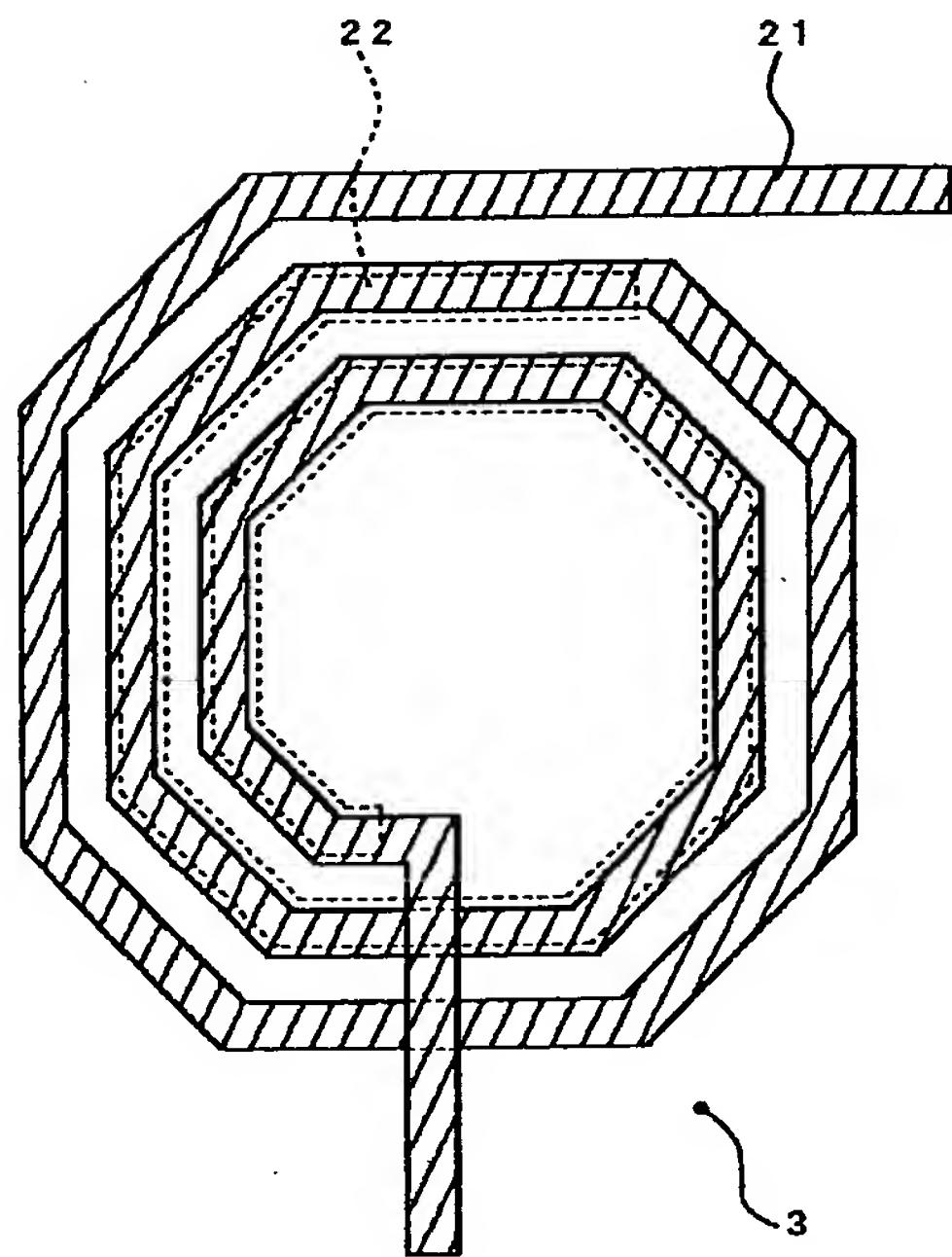
【図7】



【図8】



【図10】



【図9】

